



PATENT OFFICE
JAPANESE GOVERNMENT

This is to certify that the annexed is a true copy
of the following application as filed with this office.

Date of Application: June 16, 2000

Application Number: Japanese Patent Application
No. 2000-180928

Applicant(s): NIPPON TELEGRAPH AND TELEPHONE
CORPORATION

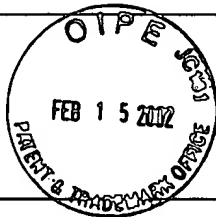
RECEIVED
FEB 22 2002
Technology Center 2600

August 17, 2001

Commissioner,
Patent Office

Kouzo Oikawa (Seal)

Certificate No.2001-3074203

U.S. DEPARTMENT OF COMMERCE
PATENT AND TRADEMARK OFFICE

TRANSMITTAL

Docket Number:
10746/27Application Number
09/882,324Filing Date
June 15, 2001Examiner
Not Yet AssignedArt Unit
2661Invention Title
**MULTIPLEXING AND TRANSMISSION
APPARATUS**Inventor(s)
TOMIZAWA, et al.Assistant Commissioner
for Patents
Washington, DC 20231I hereby certify that this correspondence is being deposited with
the United States Postal Service as first class mail in an
envelope addressed to Assistant Commissioner for Patents,
Washington, D.C. 20231 on

Date:

Reg. No. 33,865

Signature:

Aaron C. Deditch

1/25/2002

CLAIMS TO CONVENTION PRIORITY UNDER 35 U.S.C. 119

SIR:

RECEIVED

FEB 22 2002

Claim to Convention Priority Date of Japanese Patent Application No.:

Technology Center 2600

2000-180928, filed in Japan on June 16, 2000,

were made at the time this United States application was filed.

In order to complete the claim to Convention Priority Date under 35 U.S.C. 119, a certified copy of this
Japanese Application is enclosed herewith.

Dated:

1/25/2002

Aaron C. Deditch (Reg. No. 33,865)

KENYON & KENYON
One Broadway
New York, N.Y. 10004
(212) 425-7200 (telephone)
(212) 425-5288 (facsimile)

© Kenyon & Kenyon 2002



本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office

出 願 年 月 日

Date of Application:

2000年 6月16日

出 願 番 号

Application Number:

特願2000-180928

出 願 人

Applicant(s):

日本電信電話株式会社

RECEIVED

FEB 22 2002

Technology Center 2600

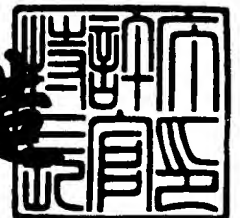
CERTIFIED COPY OF
PRIORITY DOCUMENT

CERTIFIED COPY OF
PRIORITY DOCUMENT

2001年 8月17日

特 許 庁 長 官
Commissioner,
Japan Patent Office

及 川 耕 造



出証番号 出証特2001-3074203

【書類名】 特許願

【整理番号】 NTTH125162

【提出日】 平成12年 6月16日

【あて先】 特許庁長官 殿

【国際特許分類】 H04J 3/00

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

【氏名】 富沢 将人

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

【氏名】 小野 隆

【発明者】

【住所又は居所】 東京都千代田区大手町二丁目3番1号 日本電信電話株式会社内

【氏名】 木坂 由明

【特許出願人】

【識別番号】 000004226

【氏名又は名称】 日本電信電話株式会社

【代理人】

【識別番号】 100072718

【弁理士】

【氏名又は名称】 古谷 史旺

【電話番号】 3343-2901

【手数料の表示】

【予納台帳番号】 013354

【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1

【物件名】 図面 1

【物件名】 要約書 1

【包括委任状番号】 9701422

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 多重伝送装置及び多重伝送制御用ソフトウェアを記録した記憶媒体

【特許請求の範囲】

【請求項 1】 複数チャネルのそれぞれから低速フレームの信号を並列に入力し、入力した信号を時分割多重処理した結果を高速フレームの信号として出力する送信装置を備える多重伝送装置において、

送信側同期信号を生成する制御パルス発生回路と、

前記制御パルス発生回路が出力する送信側同期信号に同期して、チャネル毎に位相がずれるように前記低速フレームの信号を出力するタイミングを制御する送信側同期回路と、

前記送信側同期回路を通して出力されるチャネル毎の低速フレームの信号を時分割多重処理して高速フレームの信号を生成する多重回路と

を前記送信装置に設けたことを特徴とする多重伝送装置。

【請求項 2】 時分割多重処理された高速フレームの信号を受信して多重分離処理を行い複数のチャネルに低速フレームの並列信号として出力する受信装置を備える多重伝送装置において、

受信した高速フレームの信号を多重分離して複数チャネルの低速フレームの信号を生成する分離回路と、

前記分離回路が出力する低速フレームの信号を処理してチャネル毎に低速フレームに同期した受信側同期信号を生成する低速フレーム同期回路と、

前記分離回路から並列に出力される複数チャネルの低速フレームの信号出力を、予め定めた複数チャネルのそれぞれの端子に接続するスイッチと、

前記低速フレーム同期回路が出力する複数の同期信号に基づいて前記スイッチを制御するスイッチ制御回路と

を前記受信装置に設けたことを特徴とする多重伝送装置。

【請求項 3】 複数チャネルのそれぞれから低速フレームの信号を並列に入力し、入力した信号を時分割多重処理した結果を高速フレームの信号として出力する送信装置と、時分割多重処理された高速フレームの信号を受信して多重分離

処理を行い複数のチャンネルに低速フレームの並列信号として出力する受信装置とを備える多重伝送装置において、

送信側同期信号を生成する制御パルス発生回路と、

前記制御パルス発生回路が出力する送信側同期信号に同期して、チャンネル毎に位相がずれるように前記低速フレームの信号を出力するタイミングを制御する送信側同期回路と、

前記送信側同期回路を通して出力されるチャンネル毎の低速フレームの信号を時分割多重処理して高速フレームの信号を生成する多重回路と

を前記送信装置に設けるとともに、

前記送信装置から受信した高速フレームの信号を多重分離して複数チャンネルの低速フレームの信号を生成する分離回路と、

前記分離回路が出力する低速フレームの信号を処理してチャンネル毎に低速フレームに同期した受信側同期信号を生成する低速フレーム同期回路と、

前記分離回路から並列に出力される複数チャンネルの低速フレームの信号出力を、予め定めた複数チャンネルのそれぞれの端子に接続するスイッチと、

前記低速フレーム同期回路が出力する複数の受信側同期信号に基づいて前記スイッチを制御するスイッチ制御回路と

を前記受信装置に設けたことを特徴とする多重伝送装置。

【請求項 4】 請求項 1 又は請求項 3 の多重伝送装置において、前記多重回路の入力側の低速フレームの信号にチャンネル毎にフレーム同期パターンを挿入する同期パターン挿入回路を設けたことを特徴とする多重伝送装置。

【請求項 5】 請求項 1 又は請求項 3 の多重伝送装置において、前記送信装置の制御パルス発生回路が、低速フレームのフレーム周期よりも短い時間だけチャンネル毎にタイミングがずれた複数の送信側同期信号を生成することを特徴とする多重伝送装置。

【請求項 6】 請求項 5 の多重伝送装置において、前記送信装置の制御パルス発生回路に、制御クロック発生回路と、直流電圧発生回路と、前記直流電圧発生回路の出力する信号に基づいて生成したフレームパルスを前記制御クロック発生回路の出力する制御クロックに従って、複数チャンネルのそれぞれに順次出力

するセクタとを設けたことを特徴とする多重伝送装置。

【請求項 7】 請求項 2 又は請求項 3 の多重伝送装置において、

前記受信装置の低速フレーム同期回路は、チャンネルの信号形式に従ってチャンネル毎にフレーム同期を確立して各チャンネルの低速フレームの先頭位置を表す制御パルスを受信側同期信号として出力し、

前記受信装置のスイッチ制御回路は、前記分離回路の複数の出力ポートのそれぞれに割り当てられたチャンネルの番号を、前記制御パルスの受信時間の違いにより識別し、その識別結果に応じて前記スイッチを制御する

ことを特徴とする多重伝送装置。

【請求項 8】 請求項 7 の多重伝送装置において、前記受信装置のスイッチ制御回路に、

複数チャンネルの前記制御パルスを並列に入力して順次にシフトするシフトレジスタと、

前記シフトレジスタの出力に接続された排他的論理和回路と、

前記排他的論理和回路が出力する信号を複数チャンネルの信号に分離する制御パルス分離回路と

前記シフトレジスタに入力される複数チャンネルの制御パルスを監視して前記制御パルス分離回路の状態を初期化するリセット回路と

を設けたことを特徴とする多重伝送装置。

【請求項 9】 多重分離回路の出力に並列に現れる複数の低速フレーム信号を複数チャンネルのそれぞれに割り当てるための計算機が実行可能な多重伝送制御用ソフトウェアを記録した記憶媒体であって、

各チャンネルの低速フレーム信号の先頭位置を表す位置情報が所定のメモリ上に記憶されているか否かを調べる手順と、

前記位置情報が前記メモリ上に記憶されている場合に、前記メモリから前記位置情報を順番に読み出して複数の低速フレーム信号の到着順序を識別する手順と

識別された複数の低速フレーム信号の到着順序に基づいて複数の低速フレーム信号を複数チャンネルのそれぞれに割り当てる手順と

を設けたことを特徴とする多重伝送制御用ソフトウェアを記録した記憶媒体。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、超高速信号伝送に適する多重伝送装置及び多重伝送制御用ソフトウェアを記録した記憶媒体に関する。

【0002】

【従来の技術】

時分割多重により信号を多重化して伝送する場合、従来より、送信側では多数のチャンネルを多重化した高速信号について新たなフレームを生成して送信している。また、受信側では多重化された高速信号に含まれるデリミタを認識し、デリミタの時間位置から間接的にチャンネルの識別を行っている。

【0003】

例えば、伝送速度が10Gbit/sクラスの信号を伝送する場合には、国際標準で規定されたSDH (Synchronous Digital Hierarchy) フォーマットが用いられる。

実際には、伝送速度が10Gbit/sの場合にはSTM-64と呼ばれるフレームのフォーマットを用いる。また、受信側では高速信号から特定のフレームパターンを認識して信号の同期を確立する。高速信号に含まれる多数のチャンネルのそれぞれは、特定のフレームパターンに対する時間的な隔たりによって特定される。

【0004】

通常、高速信号に対するフレーム同期は、信号のクロックスピードを下げてから行われる。すなわち、シリアル的高速信号をパラレル信号に展開して信号のクロックスピードを下げた後でフレームの同期処理を行う。このため、展開するパラレル信号数が大きい場合には、高速信号に対するチャンネルの識別のために複雑な処理を行う必要がある。

【0005】

【発明が解決しようとする課題】

従来のフレーム同期方式やチャネル識別方式を用いる場合には、次のような問題が生じる。

【0006】

すなわち、ビットレートが 10 Gbit/s 以上、例えば 40 Gbit/s 程度になると、回路の動作速度の限界に近づくため、従来のような高機能の論理回路を構成すると非常に高いコストが必要になる。

ビットレートが 10 Gbit/s の場合であっても、従来より 1.25 GHz あるいは 600 MHz の信号速度に平行展開してからフレーム同期を行っている。また、この場合でも高速処理が可能な化合物半導体などを用いてフレーム同期回路を実現しているのが実情である。

【0007】

この場合、平行展開数は8又は16である。同じような処理を 40 Gbit/s のビットレートの信号について行う場合を想定すると、回路の動作速度が同じ場合、平行数を32又は64に増やす必要がある。従って、装置の構成が複雑になる。

一方、平行数を変更せずに同じ機能を実現する場合を想定すると、回路の処理速度が 5 GHz 又は 2.4 GHz になるため、高機能な論理回路を構成することは現実的でない。

【0008】

また、さらなる高速化を考えた場合、電気処理の多重分離回路では処理しきれなくなるため、光にその機能を代替えする必要がある。しかし、光の処理によって機能を実現しようとする場合には、従来のような高機能のフレーム同期処理は現実的でない。また、フレーム同期方式として従来より用いられているビットシフト方式は、超高速化を考慮すると現実的でない。

【0009】

例えば、 40 Gbit/s のビットレートに適用可能な多重分離回路を実現しようとする、利用する半導体の種類（プロセス）に適材適所があるため、マルチチップで多重分離回路を構成せざるを得ない。

しかし、マルチチップの高速半導体のグループを同一の制御パルスで動作させ

るためには、チップ間のタイミング設計を高精度で行う必要があり、設計費用や設計時間の点で高いコストが必要になる。

【0010】

また、近年、数百Mbit/sのSDHインタフェースが低価格で入手できるようになったため、いろいろなSDHの使い方が現れている。

中でも、独自にサブネットワークを構成し、独自にサブネットワークを管理している新規キャリアや、独自にオペレーションシステム及びサブネットワークを製造してキャリアに提供しているベンダが激増している。

【0011】

このような環境においては、サブネットワーク毎にSDH信号フレームのセクションオーバーヘッド(SOH)を独自の方法で利用している。このため、サブネットワーク同士を接続するキャリアにおいては、独自に利用しているSOHを終端させないことが望まれている。

すなわち、サブネットワーク同士を接続する(大容量が要求されるような)大規模ネットワークには、トランスペアレンシが要求されている。

【0012】

上記のような問題を回避する手段のひとつとして波長多重方式が存在する。しかしながら、多重できる波長数には限りがあり、現状では商用としては30～40波長が限界である。

現在のデータトラフィックの需要増加を考慮すると、数年後にはTbit/sクラスの伝送容量が必要になると考えられる。このような状況においては、波長多重だけでは需要を満たすことはできず、一波長あたりのさらなる高速化が求められている。

【0013】

本発明は、超高速信号伝送に適する多重伝送装置及び多重伝送制御用ソフトウェアを記録した記憶媒体を提供するとともに、超高速伝送に要求されるチャネル識別機能を低コストで実現することを目的とする。

【0014】

【課題を解決するための手段】

請求項 1 の多重伝送装置は、複数チャネルのそれぞれから低速フレームの信号を並列に入力し、入力した信号を時分割多重処理した結果を高速フレームの信号として出力する送信装置を備える多重伝送装置において、送信側同期信号を生成する制御パルス発生回路と、前記制御パルス発生回路が出力する送信側同期信号に同期して、チャネル毎に位相がずれるように前記低速フレームの信号を出力するタイミングを制御する送信側同期回路と、前記送信側同期回路を通して出力されるチャネル毎の低速フレームの信号を時分割多重処理して高速フレームの信号を生成する多重回路とを前記送信装置に設けたことを特徴とする。

【 0 0 1 5 】

請求項 1 においては、チャネル毎に位相をずらした低速フレームの信号を時分割多重処理して高速フレームの信号を生成する。この高速フレームの信号が送信装置から送出される。

例えば、SDH規格に基づく伝送方式では、伝送路の符号としてNRZ（ノン・リターン・トゥ・ゼロ）を用いるので、同一符号が連続して送られた場合などに再生中継器でタイミング情報が失われ符号誤りが発生する。また、フレーム同期パターンと同一の符号がペイロード内に現れた場合にはフレーム誤同期が発生する可能性がある。

【 0 0 1 6 】

そこで、一般的なSDH規格の伝送装置においては、送信装置内にスクランブラを設ける。スクランブラは、ビット列をランダム化してビット列に零符号が連続して現れる確率及び特定のビットパターンが連続して現れる確率を低減する。

しかし、請求項 1 の多重伝送装置においてはスクランブラを設ける必要がない。すなわち、互いに位相がずれた複数チャネルの低速フレーム信号を時分割多重処理して高速フレームの信号を生成するので、スクランブル処理を行わなくても同じ符号が連続して現れる可能性は極めて小さくなる。

【 0 0 1 7 】

請求項 2 の多重伝送装置は、時分割多重処理された高速フレームの信号を受信して多重分離処理を行い複数のチャネルに低速フレームの並列信号として出力する受信装置を備える多重伝送装置において、受信した高速フレームの信号を多重

分離して複数チャネルの低速フレームの信号を生成する分離回路と、前記分離回路が出力する低速フレームの信号を処理してチャネル毎に低速フレームに同期した受信側同期信号を生成する低速フレーム同期回路と、前記分離回路から並列に出力される複数チャネルの低速フレームの信号出力を、予め定めた複数チャネルのそれぞれの端子に接続するスイッチと、前記低速フレーム同期回路が出力する複数の同期信号に基づいて前記スイッチを制御するスイッチ制御回路とを前記受信装置に設けたことを特徴とする。

【 0 0 1 8 】

請求項 2 の多重伝送装置の受信装置は、請求項 1 の送信装置から送出される高速フレームの信号を受信することを想定している。この受信装置においては、分離回路が出力する低速フレームの信号を処理してチャネル毎に低速フレームに同期した受信側同期信号を生成する。

但し、分離回路の前でフレーム同期を行わないため、分離回路が並列に出力する複数の低速フレームの信号とそれぞれのチャネルとの関係は定まっていない。そこで、スイッチ制御回路は低速フレーム同期回路が出力する複数の同期信号に基づいて複数の低速フレーム信号の各チャネルを識別し、スイッチを制御して各々の低速フレーム信号を出力の各チャネルに割り当てる。

【 0 0 1 9 】

SDH 規格などの一般の受信装置においては、多重分離する前の高速フレームの信号から特定の同期パターンを検出して高速フレーム信号のフレーム同期を行っているので、高価な同期回路が必要になるし、この同期回路がビットレートの更なる高速化の妨げになる。

請求項 2 においては、低速フレームの信号に対してチャネル毎に同期を確立するので、高速フレームの信号に対してフレーム同期を確立する必要がなく、高価な信号処理回路を用いる必要がなくなり、更なるビットレートの高速化にも対応できる。

【 0 0 2 0 】

請求項 3 の多重伝送装置は、複数チャネルのそれぞれから低速フレームの信号を並列に入力し、入力した信号を時分割多重処理した結果を高速フレームの信号

として出力する送信装置と、時分割多重処理された高速フレームの信号を受信して多重分離処理を行い複数のチャンネルに低速フレームの並列信号として出力する受信装置とを備える多重伝送装置において、送信側同期信号を生成する制御パルス発生回路と、前記制御パルス発生回路が出力する送信側同期信号に同期して、チャンネル毎に位相がずれるように前記低速フレームの信号を出力するタイミングを制御する送信側同期回路と、前記送信側同期回路を通して出力されるチャンネル毎の低速フレームの信号を時分割多重処理して高速フレームの信号を生成する多重回路とを前記送信装置に設けるとともに、前記送信装置から受信した高速フレームの信号を多重分離して複数チャンネルの低速フレームの信号を生成する分離回路と、前記分離回路が出力する低速フレームの信号を処理してチャンネル毎に低速フレームに同期した受信側同期信号を生成する低速フレーム同期回路と、前記分離回路から並列に出力される複数チャンネルの低速フレームの信号出力を、予め定めた複数チャンネルのそれぞれの端子に接続するスイッチと、前記低速フレーム同期回路が出力する複数の受信側同期信号に基づいて前記スイッチを制御するスイッチ制御回路とを前記受信装置に設けたことを特徴とする。

【 0 0 2 1 】

請求項 3 の多重伝送装置は、請求項 1 と同様に送信装置にスクランブラを設ける必要がなく、受信装置にデスクランブラを設ける必要もないため、送信装置及び受信装置を安価に構成できる。

また、請求項 2 と同様に高速フレーム信号に対してフレーム同期を行う必要がないため、高価な信号処理回路を用いる必要がなくなり、更なるビットレート的高速化にも対応できる。

【 0 0 2 2 】

請求項 4 は、請求項 1 又は請求項 3 の多重伝送装置において、前記多重回路の入力側の低速フレームの信号にチャンネル毎にフレーム同期パターンを挿入する同期パターン挿入回路を設けたことを特徴とする。

請求項 4 においては、時分割多重化前の低速フレームの信号にチャンネル毎にフレーム同期パターンが挿入されるので、受信装置においては多重分離回路の出力に得られる複数の低速フレーム信号のそれぞれについてフレーム同期を確立する

ことができる。

【 0 0 2 3 】

この同期パターン挿入回路は低速フレーム信号を処理するため、低価格の信号処理回路で実現できる。また、更なるビットレート的高速化にも対応できる。

請求項 5 は、請求項 1 又は請求項 3 の多重伝送装置において、前記送信装置の制御パルス発生回路が、低速フレームのフレーム周期よりも短い時間だけチャンネル毎にタイミングがずれた複数の送信側同期信号を生成することを特徴とする。

【 0 0 2 4 】

請求項 5 においては、互いにタイミングがずれた複数の送信側同期信号を制御パルス発生回路が出力するので、送信側同期回路はそれぞれの送信側同期信号に同期するように各チャンネルの低速フレームの信号タイミングを制御することにより、低速フレーム信号の位相をチャンネル毎にずらすことができる。

請求項 6 は、請求項 5 の多重伝送装置において、前記送信装置の制御パルス発生回路に、制御クロック発生回路と、直流電圧発生回路と、前記直流電圧発生回路の出力する信号に基づいて生成したフレームパルスを前記制御クロック発生回路の出力する制御クロックに従って、複数チャンネルのそれぞれに順次に出力するセクタとを設けたことを特徴とする。

【 0 0 2 5 】

請求項 6 においては、複数チャンネルのそれぞれに対してセクタから順次にフレーム同期のための制御パルスを出力することができる。

請求項 7 は、請求項 2 又は請求項 3 の多重伝送装置において、前記受信装置の低速フレーム同期回路は、チャンネルの信号形式に従ってチャンネル毎にフレーム同期を確立して各チャンネルの低速フレームの先頭位置を表す制御パルスを受信側同期信号として出力し、前記受信装置のスイッチ制御回路は、前記分離回路の複数の出力ポートのそれぞれに割り当てられたチャンネルの番号を、前記制御パルスの受信時間の違いにより識別し、その識別結果に応じて前記スイッチを制御することを特徴とする。

【 0 0 2 6 】

請求項 7 においては、低速フレーム同期回路が出力する制御パルスの受信時間

が各チャネルの低速フレームの先頭位置を表すので、スイッチ制御回路は、前記分離回路の複数の出力ポートのそれぞれに割り当てられたチャネルの番号を、前記制御パルスの受信時間の違いにより識別することができる。

【 0 0 2 7 】

請求項 8 は、請求項 7 の多重伝送装置において、前記受信装置のスイッチ制御回路に、複数チャネルの前記制御パルスを並列に入力して順次にシフトするシフトレジスタと、前記シフトレジスタの出力に接続された排他的論理和回路と、前記排他的論理和回路が出力する信号を複数チャネルの信号に分離する制御パルス分離回路と前記シフトレジスタに入力される複数チャネルの制御パルスを監視して前記制御パルス分離回路の状態を初期化するリセット回路とを設けたことを特徴とする。

【 0 0 2 8 】

請求項 8 においては、互いに異なるタイミングの制御パルス（同期信号）をシフトレジスタの複数の出力から同時に取り出してそれらの排他的論理和を演算することにより、低速フレーム信号の到着時間の相対的な順番を表す時系列の信号をチャネル毎に得ることができる。

リセット回路は、複数チャネルの制御パルスを監視して、複数チャネルの全体の基準となる時間（例えば最も位相が進んでいる最初のチャネルの低速フレーム信号の先端が到着した時刻）を検出する。

【 0 0 2 9 】

前記排他的論理和回路の出力には、低速フレーム信号の到着時間の相対的な順番が時系列信号として現れる。制御パルス分離回路は、時系列信号を複数の時刻のそれぞれの信号に分離する。

制御パルス分離回路が出力する信号を利用して前記スイッチを制御し、多重分離された複数の信号をそれぞれの到着順所に従って各チャネルに割り当てることができる。

【 0 0 3 0 】

請求項 9 の多重伝送制御用ソフトウェアを記録した記憶媒体は、多重分離回路の出力に並列に現れる複数の低速フレーム信号を複数チャネルのそれぞれに割り

当てるための計算機が実行可能な多重伝送制御用ソフトウェアを記録した記憶媒体であって、各チャネルの低速フレーム信号の先頭位置を表す位置情報が所定のメモリ上に記憶されているか否かを調べる手順と、前記位置情報が前記メモリ上に記憶されている場合に、前記メモリから前記位置情報を順番に読み出して複数の低速フレーム信号の到着順序を識別する手順と、識別された複数の低速フレーム信号の到着順序に基づいて複数の低速フレーム信号を複数チャネルのそれぞれに割り当てる手順とを設けたことを特徴とする。

【 0 0 3 1 】

請求項 9 の多重伝送制御用ソフトウェアを所定の計算機で実行することにより、請求項 8 の多重伝送装置と同様に、多重分離回路の出力に並列に現れる複数の低速フレーム信号を複数チャネルのそれぞれに割り当てることができる。

なお、本発明の特徴を要約すると次のようになる。

- ・チャネルごとに異なるフレーム位相で動作する。

【 0 0 3 2 】

- ・受信側ではチャネルごとに異なるフレームパルスの到達時間順序によってチャネルを識別する。
- ・分離後のポートとチャネルに正しいポートを接続するのにスイッチを用いる。
- ・クライアントにトランスペアレントな時分割多重機能を提供する。
- ・高速側ではパターン認識は行わない。

【 0 0 3 3 】

- ・多重回路や分離回路がいくつかのサブモジュールに分かれていても、あるいは光回路であっても実現可能である。各サブモジュールがばらばらの分離タイミングで動作することを許容する。

【 0 0 3 4 】

【発明の実施の形態】

(第 1 の実施の形態)

本発明の多重伝送装置の 1 つの実施の形態について、図 1 ～図 1 1 を参照して説明する。この形態は請求項 1 ～請求項 8 に対応する。

【 0 0 3 5 】

図 1 はこの形態の送信装置及び受信装置の構成を示すブロック図である。図 2 は各チャネルの送端回路の構成例 (1) を示すブロック図である。図 3 は送端回路の入出力の低速フレーム信号の位相を示すタイムチャートである。図 4 はフレームパルス発生回路の構成例を示すブロック図である。

【 0 0 3 6 】

図 5 は各チャネルのフレームパルスの例を示すタイムチャートである。図 6 は時分割多重回路の構成例を示すブロック図である。図 7 は多重分離回路の構成例を示すブロック図である。図 8 は各チャネルの終端回路の構成例 (1) を示すブロック図である。

図 9 はスイッチ制御回路の構成例を示すブロック図である。図 1 0 はスイッチ制御回路の動作例を示す模式図である。図 1 1 はスイッチ回路の構成例を示すブロック図である。

【 0 0 3 7 】

この形態では、請求項 1 及び請求項 3 の送信装置、制御パルス発生回路、送信側同期回路及び多重回路は、それぞれ送信装置 1 0 0、フレームパルス発生回路 3 0、セクション適応回路 1 4 及び時分割多重回路 2 0 として具体化されている。

また、請求項 2 及び請求項 3 の受信装置、分離回路、低速フレーム同期回路、スイッチ及びスイッチ制御回路は、それぞれ受信装置 2 0 0、多重分離回路 5 0、中継セクション終端回路 6 1、スイッチ回路 7 0 及びスイッチ制御回路 9 0 として具体化されている。

【 0 0 3 8 】

また、請求項 4 の同期パターン挿入回路は中継セクション終端回路 1 6 に対応する。請求項 6 の制御クロック発生回路、直流電圧発生回路及びセレクタは、それぞれ制御クロック発生器 3 3、直流電圧発生器 3 1 及びセレクタ 3 4 に対応する。

更に、請求項 8 のシフトレジスタ、排他的論理和回路、制御パルス分離回路及びリセット回路は、それぞれシフトレジスタ 9 1、排他的論理和回路 9 2、デマルチプレクサ 9 3 及びリセットパルス発生回路 9 4 に対応する。

【 0 0 3 9 】

図 1 に示す送信装置 1 0 0 は、N チャンネルの入力のそれぞれから予め特定されたフォーマットの比較的低速の信号を並列に入力し時分割多重処理された高速の信号を送出する。

【 0 0 4 0 】

具体的には、入力する信号のフォーマットとして例えば I T U - T 勧告の S T M フレームや G . 9 7 5 フレームを利用できる。また、それぞれが 2 . 4 G b i t / s のビットレートの信号を 1 6 チャンネル並列に入力する場合には、送信装置 1 0 0 から 4 0 G b i t / s のビットレートの信号が送信される。

図 1 の送信装置 1 0 0 は、送端回路 1 0、時分割多重回路 2 0 及びフレームパルス発生回路 3 0 を備えている。送端回路 1 0 は入力する信号のチャンネル毎に設けてある。

【 0 0 4 1 】

例えば、送信装置 1 0 0 に S T M フレームの信号を入力する場合には、送端回路 1 0 は S D H (S y n c h r o n o u s D i g i t a l H i e r a r c h y) の処理装置に相当する。また、送信装置 1 0 0 に G . 9 7 5 フレームの信号を入力する場合には、送端回路 1 0 は誤り訂正回路 (F E C) に相当する。

各チャンネルの送端回路 1 0 は、フレームパルス発生回路 3 0 から入力されるフレームパルスを各々のチャンネルの低速の信号フレームのタイミングを制御するための同期信号として利用する。フレームパルス発生回路 3 0 が各チャンネルの送端回路 1 0 に与えるフレームパルス F P (1) , F P (2) , . . . F P (N) は、互いにタイミングがずれている。

【 0 0 4 2 】

これらのフレームパルス F P (1) , F P (2) , . . . F P (N) を用いて信号フレームのタイミングを制御するので、各チャンネルの送端回路 1 0 から出力される信号は互いに位相がずれた状態で時分割多重回路 2 0 に入力される。

一方、図 1 の受信装置 2 0 0 は送信装置 1 0 0 から送信される高速の信号を受信して多重分離を行い、比較的低速の信号を複数チャンネルのそれぞれに並列に出力する。例えば、送信装置 1 0 0 が 4 0 G b i t / s のビットレートの信号を送

信する場合には、16チャンネルに分離して、チャンネル毎に2.4 Gbit/sのビットレートの信号を出力する。

【0043】

図1の受信装置200は、多重分離回路50、終端回路60、スイッチ回路70、終端回路80及びスイッチ制御回路90を備えている。終端回路60及び終端回路80は、Nチャンネルのそれぞれに設けてある。

受信装置200で受信された信号は、多重分離回路50でチャンネル毎に分離され低速の信号に変換される。多重分離回路50から出力される各チャンネルの信号は、終端回路60、スイッチ回路70及び終端回路80を通してチャンネル毎に並列に出力される。

【0044】

図1の受信装置200においては、多重分離回路50の前でフレーム同期を行わないことを想定している。そのため、多重分離回路50の複数の出力ポートから並列に出力されるそれぞれの信号がいずれのチャンネルに対応するかはその時の状況に応じて変化する。

分離した複数の信号を送信側と同じチャンネルの出力端子にそれぞれ割り当てるために図1の受信装置200にはスイッチ回路70及びスイッチ制御回路90が設けてある。

【0045】

終端回路60は、それぞれのチャンネルの信号フレームに同期した信号をフレームパルスFS(1), FS(2), ... FS(N)として出力する。スイッチ制御回路90は、各チャンネルの終端回路60から入力されるフレームパルスFS(1), FS(2), ... FS(N)に基づいてそれぞれのチャンネルの信号が実際に送信側のどのチャンネルに対応するかを検出し、スイッチ回路70を制御する。

【0046】

次に、送信装置100の構成及び動作の詳細について説明する。送信装置100のフレームパルス発生回路30は、この例では図4に示すように直流電圧発生器31、クロック発生源32、制御クロック発生器33及びセレクタ34で構成されている。

セレクタ 3 4 には、チャネル数と等しい 1 6 個の出力端子が備わっている。セレクタ 3 4 は、制御クロック発生器 3 3 が出力する制御クロックに従って 1 つの出力端子を順次を選択し、直流電圧発生器 3 1 から入力される電圧を選択した出力端子にフレームパルスとして出力する。

【 0 0 4 7 】

セレクタ 3 4 の 1 6 個の出力端子には、図 5 に示すようなフレームパルス F P (1) ~ F P (16) が現れる。互いに隣接するチャネルのフレームパルスは、図 5 に示すように時間 T d だけずれたタイミングで現れる。また、全チャネルのフレームパルスが現れる期間 T 1 は、各チャネルの低速信号のフレーム周期の半分以内に定めてある。従って、各フレーム周期では、期間 T 1 を経過した後の期間 T 2 ではフレームパルスは現れない。

【 0 0 4 8 】

制御クロック発生器 3 3 は、クロック発生源 3 2 が発生する周期が一定のクロックパルス（この例では 2 . 4 G H z ）に基づいて制御クロックを生成する。制御クロック発生器 3 3 は、各チャネルのフレームパルス F P (1) ~ F P (16) のタイミングを決定する。

送信装置 1 0 0 の送端回路 1 0 は、図 2 のように構成されている。この例では、S T M フレームの信号を扱う S D H 装置として送端回路 1 0 を構成した場合を示してある。

【 0 0 4 9 】

図 2 を参照すると、各チャネルの送端回路 1 0 には、S D H 物理インタフェース 1 1 , 中継セクション終端回路 1 2 , 多重セクション終端回路 1 3 , セクション適応回路 1 4 , 多重セクション終端回路 1 5 及び中継セクション終端回路 1 6 が備わっている。

S D H 物理インタフェース 1 1 は、信号の光 - 電気変換及び信号からのクロック抽出を行う。中継セクション終端回路 1 2 は、低速フレーム同期及びエラーモニタの機能を有している。多重セクション終端回路 1 3 は、エラーモニタの機能を有している。

【 0 0 5 0 】

ところで、図1の送信装置100においては、送端回路10から出力される信号の各フレームの先頭位置が現れるタイミングがチャンネル毎に少しずつずれている。すなわち、信号フレームの位相がチャンネル間で異なっている。

【0051】

このように位相を調整するので、STMフレームを処理する場合には入力信号のポインタ値を指定されたフレーム位相に合わせるように書き換える必要がある。この処理を、セクション適応回路14が行う。また、セクション適応回路14はフレームパルス発生回路30から各チャンネルに入力されるフレームパルス(FP(1)~FP(16)のいずれか)に同期するように、当該チャンネルのフレームの先頭が出力されるタイミングを決定する。

【0052】

多重セクション終端回路15は、BIP値の計算を行う。中継セクション終端回路16は、チャンネル毎に低速信号のフレーム同期に必要な同期パターン(例えば「11110110」,「00101000」)を挿入する。

各チャンネルの送端回路10の入力及び出力には、例えば図3に示すようなタイミングで低速の信号フレームが現れる。すなわち、入力される信号のタイミングは定まっていないが、送端回路10から出力される信号は、隣接するチャンネル間に所定の位相差(フレームパルスの時間差Tdに相当)が形成された状態で規則的に出力される。

【0053】

送信装置100の時分割多重回路20は、多重回路21, 22, 23及び通倍回路24, 25, 26を備えている。多重回路21は、4チャンネルの2.4 Gbit/sのビットレートのデータを入力し、10 Gbit/sの時分割多重化された1チャンネルのデータを出力する。

多重回路22は、2チャンネルの10 Gbit/sのビットレートのデータを入力し、20 Gbit/sの時分割多重化された1チャンネルのデータを出力する。同様に、多重回路23は2チャンネルの20 Gbit/sのビットレートのデータを入力し、40 Gbit/sの時分割多重化された1チャンネルのデータを出力する。

【0054】

従って、図6の回路は16チャンネルの2.4Gbit/sのビットレートのデータを入力し、40Gbit/sの時分割多重化された1チャンネルのデータを出力することができる。

【0055】

3種類の多重回路21, 22, 23はそれぞれ動作速度が異なるので、各々の動作速度に最も適した種類の半導体チップを用いて構成してある。すなわち、多重回路21は(Si-Bipolar)系の半導体チップを採用し、多重回路22は(GaAs)の半導体チップを採用し、多重回路23は(INP, SiGe)の半導体チップを採用している。

【0056】

なお、時分割多重回路20については、複数チャンネルのデータをビット単位で多重化してもよいし、バイト単位で多重化してもよい。

時分割多重回路20の出力は、図示しない電気-光変換器によって光信号に変換される。なお、一般の多重装置においては、多重化によって高速になった信号にフレーム同期パターンを挿入したり、スクランブル処理を施す必要がある。しかし、図1の送信装置100では低速フレーム信号にチャンネル毎に同期パターンを挿入しているので、高速信号に同期パターンを挿入する必要はない。また、多重化する前に低速フレーム信号の位相がチャンネル毎にずれているためスクランブル処理を施す必要もない。このため、装置のコストを低減できる。また、ビットレートの更なる高速化にも対応できる。

【0057】

次に、受信装置200の構成及び動作の詳細について説明する。受信装置200の多重分離回路50は、図7に示すように3種類の分離回路51, 52及び53で構成されている。

分離回路51は、40Gbit/sの時分割多重化されたデータを入力し、2チャンネルに分離して各チャンネルに20Gbit/sのビットレートのデータを出力する。

【0058】

分離回路52は、20 Gbit/sの時分割多重化されたデータを入力し、2チャンネルに分離して各チャンネルに10 Gbit/sのビットレートのデータを出力する。

【0059】

分離回路53は、10 Gbit/sの時分割多重化されたデータを入力し、4チャンネルに分離して各チャンネルに2.4 Gbit/sのビットレートのデータを出力する。

従って、図7の回路は40 Gbit/sの時分割多重化された1チャンネルのデータを入力し、16チャンネルに分離して各チャンネルに2.4 Gbit/sのビットレートのデータを出力することができる。

【0060】

3種類の分離回路51, 52, 53はそれぞれ動作速度が異なるので、各々の動作速度に最も適した種類の半導体チップを用いて構成してある。すなわち、分離回路53は(Si-Bipolar)系の半導体チップを採用し、分離回路52は(GaAs)の半導体チップを採用し、分離回路51は(INP, SiGe)の半導体チップを採用している。

【0061】

なお、多重分離回路50の入力には光信号を電気信号に変換する光-電気変換器が備わっているが図7では省略されている。また、多重分離回路50については、送信側の多重回路に合わせてビット単位で複数チャンネルに分離してもよいし、バイト単位で分離してもよい。

なお、一般の多重分離装置においては分離する前にスクランブルを解除する必要があるが、多重分離回路50が受信する信号にはスクランブルが施されていないのでそのような機能は不要である。また、多重分離回路50は多重分離する前の高速信号に対してフレーム同期は行わない。

【0062】

このため、多重分離回路50は比較的低コストで製造できる。また、ビットレートの更なる高速化にも対応できる。

多重分離回路50によって分離された低速(2.4 Gbit/s)の信号は、

チャンネル毎に終端回路 60 に入力される。図 8 に示すように、各チャンネルの終端回路 60 には、中継セクション終端回路 61 及び多重セクション終端回路 62 が備わっている。

【0063】

中継セクション終端回路 61 は、チャンネル毎に低速信号のフレーム同期を行う。すなわち、低速信号の各チャンネルのフレームに挿入された同期パターンを検出し、フレームの先頭位置を検出する。また、中継セクション終端回路 61 はエラーモニタの機能を有している。多重セクション終端回路 62 は、エラーモニタの機能を有している。

【0064】

ところで、多重分離回路 50 は高速信号に対するフレーム同期を行わずにチャンネルの分離を行うので、多重分離回路 50 の出力に得られる 16 チャンネルの信号のそれぞれは、チャンネルの番号が送信側と一致しない。従って、多重分離回路 50 が並列に出力する各チャンネルの低速信号を送信側と一致する正しいチャンネルに割り当てる必要がある。

【0065】

正しいチャンネルの番号を検出するために、各チャンネルの終端回路 60 が中継セクション終端回路 61 のフレーム同期により検出したフレームパルス FP(1)～FP(16)を利用する。フレームパルス FP(1)～FP(16)は各チャンネルの低速フレームの先頭位置を表す。

各チャンネルの終端回路 60 が出力する信号は、スイッチ回路 70 を通過する際に信号の通過する端子が正しいチャンネル位置に修正され、終端回路 80 に入力される。

【0066】

図 8 に示すように、各チャンネルの終端回路 80 には多重セクション終端回路 81、中継セクション終端回路 82 及び SDH 物理インタフェース 83 が備わっている。

スイッチ回路 70 は、図 11 に示すように、16 行、16 列のマトリクス状に接続された多数のスイッチ 71 で構成されている。それぞれのスイッチ 71 は、

スイッチ制御回路 90 が出力する制御信号によってオン／オフする。

【0067】

スイッチ回路 70 の接続状態を制御するスイッチ制御回路 90 は、図 9 に示すようにシフトレジスタ 91、排他的論理和回路 92、デマルチプレクサ 93 及びリセットパルス発生回路 94 を備えている。

シフトレジスタ 91 の内部には、チャンネル毎に 2 つのラッチ 95、96 が備わっている。シフトレジスタ 91 の各チャンネルに入力された信号は、シフトクロックに同期してラッチ 95 に保持され同時にラッチ 95 の出力はラッチ 96 の出力に転送される。従って、2 つのラッチ 95、96 の出力には互いに異なるタイミング（1 つのシフトクロックが入力される前と入力された後）の信号が現れる。

【0068】

各チャンネルの排他的論理和回路 92 には、シフトレジスタ 91 から互いに異なるタイミングのフレームパルスが入力される。排他的論理和回路 92 は、入力される 2 つのタイミングのフレームパルスの排他的論理和を出力する。

スイッチ制御回路 90 に入力されるフレームパルス FS(1)～FS(16)は、それぞれ多重分離回路 50 が多重分離した 16 チャンネルの各信号フレームの先頭位置に同期して現れるが、分離前の高速信号フレームに対して同期を確立していないので、多重分離回路 50 が各々のチャンネルの信号を出力するポートは定まっていない。

【0069】

しかし、送信装置 100 においては図 5 に示すフレームパルス FP(1)～FP(16)を利用して、チャンネル番号の順番で少しずつ位相がずれるようなタイミングで低速フレーム信号を送出しているので、多重分離回路 50 から出力される 16 チャンネルの信号（低速フレーム信号）の到着順序から各信号のチャンネル番号を識別することができる。

【0070】

図 10 を参照し、具体例について説明する。なお、図 10 では単純化のためにチャンネル数が 4 の場合を想定して示してある。図 10 の例では、フレームパルス FS(3) が最も早い時間に現れ、フレームパルス FS(4) が 2 番目に現れ、フレー

ムパルスFS(1)が3番目に現れ、フレームパルスFS(2)が最後に現れている。

つまり、この例ではフレームパルスFS(3)、FS(4)、FS(1)及びFS(2)に対応する低速フレーム信号が、それぞれチャンネル番号#1、#2、#3及び#4の信号である。

【0071】

この場合、図10に示すように1番目のチャンネルの排他的論理和回路92(1)の出力、2番目のチャンネルの排他的論理和回路92(2)の出力、3番目のチャンネルの排他的論理和回路92(3)の出力及び4番目のチャンネルの排他的論理和回路92(4)の出力には、それぞれ「0100」、「1000」、「0001」及び「0010」の2値信号が時系列の信号として現れる。

【0072】

排他的論理和回路92の出力に接続されたデマルチプレクサ93は、排他的論理和回路92が出力する時系列の信号を並列信号に変換し、この並列信号を16個の端子に同時に出力する。

図10の例では、1番目のデマルチプレクサ93(1)は、排他的論理和回路92(1)から出力される「0100」の時系列の信号を、「0」、「1」、「0」、「0」の並列信号として4つの端子に同時に出力する。

【0073】

同様に、2番目のデマルチプレクサ93(2)は、排他的論理和回路92(2)から出力される「1000」の時系列の信号を、「1」、「0」、「0」、「0」の並列信号として4つの端子に同時に出力する。

3番目のデマルチプレクサ93(3)は、排他的論理和回路92(3)から出力される「0001」の時系列の信号を、「0」、「0」、「0」、「1」の並列信号として4つの端子に同時に出力する。

【0074】

4番目のデマルチプレクサ93(4)は、排他的論理和回路92(4)から出力される「0010」の時系列の信号を、「0」、「0」、「1」、「0」の並列信号として4つの端子に同時に出力する。

リセットパルス発生回路94は、デマルチプレクサ93が排他的論理和回路9

2 の出力から信号の取り込みを開始するタイミングを制御する。この例では、送信側において図 5 に示すようなフレームパルスを利用しているため、各チャンネルに低速信号フレームの先頭が現れるタイミングは、各フレーム周期の前半半分（ T_1 の期間）に限定される。

【 0 0 7 5 】

従って、各フレーム周期の後半半分の期間（ T_2 ）では、受信装置 2 0 0 においてフレームパルス $FS(1) \sim FS(16)$ が発生することはない。そこで、リセットパルス発生回路 9 4 は、フレームパルス $FS(1) \sim FS(16)$ が現れない各フレームの後半半分の期間（ T_2 ）を検出してその間にリセットパルスを送出し、全てのデマルチプレクサ 9 3 を強制的にリセットする。

【 0 0 7 6 】

受信装置 2 0 0 において新たな信号の受信が開始され、最初のフレームパルス（ $FS(1) \sim FS(16)$ のいずれか）が現れるとリセットパルス発生回路 9 4 からのリセットパルスの出力が解除され、各チャンネルのデマルチプレクサ 9 3 は排他的論理和回路 9 2 の出力からの信号の取り込みを開始する。従って、各デマルチプレクサ 9 3 は図 1 0 に示すような信号を出力することができる。

【 0 0 7 7 】

各デマルチプレクサ 9 3 が出力する制御信号 $C(1)$, $C(2)$, \dots , $C(16)$ は、図 1 1 に示すスイッチ回路 7 0 のマトリクスの左から 1 番目, 2 番目, \dots , 16 番目の各列の 16 個のスイッチ 7 1 をそれぞれオン／オフ制御する。

例えば、図 1 0 においてフレームパルス $FS(1)$ に基づいて生成されるデマルチプレクサ 9 3 (1) の 4 つの出力信号 $C(1)$ が「0」, 「0」, 「1」, 「0」なので、この信号 $C(1)$ を図 1 1 の左から 1 番目の列に印加すると、この列のスイッチ 7 1 は上から順に「オフ」, 「オフ」, 「オン」, 「オフ」になる。従って、3 番目のチャンネルの終端回路 6 0 (3) からスイッチ回路 7 0 に入力される信号 $SG(3)$ は、スイッチ回路 7 0 の 1 列目, 3 行目のスイッチ 7 1 を通ってチャンネル # 1 の信号 $CH(1)$ として終端回路 8 0 (1) に入力される。

【 0 0 7 8 】

同様に、図 1 0 においてフレームパルス $FS(2)$ に基づいて生成されるデマル

チプレクサ 9 3 (2) の 4 つの出力信号 C (2) が「0」, 「0」, 「0」, 「1」なので、この信号 C (2) を図 1 1 の左から 2 番目の列に印加すると、この列のスイッチ 7 1 は上から順に「オフ」, 「オフ」, 「オフ」, 「オン」になる。従って、4 番目のチャンネルの終端回路 6 0 (4) からスイッチ回路 7 0 に入力される信号 S G (4) は、スイッチ回路 7 0 の 2 列目, 4 行目のスイッチ 7 1 を通ってチャンネル # 2 の信号 C H (2) として終端回路 8 0 (2) に入力される。

【 0 0 7 9 】

また、図 1 0 においてフレームパルス F S (3) に基づいて生成されるデマルチプレクサ 9 3 (3) の 4 つの出力信号 C (3) が「1」, 「0」, 「0」, 「0」なので、この信号 C (3) を図 1 1 の左から 3 番目の列に印加すると、この列のスイッチ 7 1 は上から順に「オン」, 「オフ」, 「オフ」, 「オフ」になる。従って、1 番目のチャンネルの終端回路 6 0 (1) からスイッチ回路 7 0 に入力される信号 S G (1) は、スイッチ回路 7 0 の 3 列目, 1 行目のスイッチ 7 1 を通ってチャンネル # 3 の信号 C H (3) として終端回路 8 0 (3) に入力される。

【 0 0 8 0 】

また、図 1 0 においてフレームパルス F S (4) に基づいて生成されるデマルチプレクサ 9 3 (4) の 4 つの出力信号 C (4) が「0」, 「1」, 「0」, 「0」なので、この信号 C (4) を図 1 1 の左から 4 番目の列に印加すると、この列のスイッチ 7 1 は上から順に「オフ」, 「オン」, 「オフ」, 「オフ」になる。従って、2 番目のチャンネルの終端回路 6 0 (2) からスイッチ回路 7 0 に入力される信号 S G (2) は、スイッチ回路 7 0 の 4 列目, 2 行目のスイッチ 7 1 を通ってチャンネル # 4 の信号 C H (4) として終端回路 8 0 (4) に入力される。

【 0 0 8 1 】

つまり、終端回路 6 0 (1) ~ 6 0 (N) の出力に現れる信号 S G (1) ~ S G (N) の位置は送信側のチャンネル番号と一致しないが、スイッチ回路 7 0 を通った信号 C H (1) ~ C H (N) は送信側の各チャンネル番号と対応する位置に現れる。

(第 2 の実施の形態)

本発明の多重伝送装置のもう 1 つの実施の形態について、図 1 2 ~ 図 1 4 を参照して説明する。

【 0 0 8 2 】

図 1 2 は各チャネルの送端回路の構成例 (2) を示すブロック図である。図 1 3 は送端回路の出力の低速フレーム信号の位相を示すタイムチャートである。図 1 4 は各チャネルの送端回路の構成例 (2) を示すブロック図である。

【 0 0 8 3 】

この形態は第 1 の実施の形態の変形例であり、送信装置 1 0 0 及び受信装置 2 0 0 の基本的な構成は図 1 と同じである。但し、この形態では扱う信号として G . 9 7 5 フレームを想定しているので、送信装置 1 0 0 の送端回路 1 0 の構成ならびに受信装置 2 0 0 の終端回路 6 0 , 8 0 の構成が変更されている。変更された部分について以下に説明する。第 1 の実施の形態と同一の部分については説明を省略する。

【 0 0 8 4 】

この形態では、送端回路 1 0 及び終端回路 6 0 , 8 0 は誤り訂正回路 (G . 9 7 5 で規定された F E C : Forward Error Correction) に相当する。

図 1 2 を参照すると、送信装置 1 0 0 の各チャネルの送端回路 1 0 には光－電気変換器 4 1 , オーバヘッド挿入回路 4 2 及び F E C 符号化回路 4 3 が備わっている。

【 0 0 8 5 】

光－電気変換器 4 1 は、入力信号の光－電気変換及び入力信号からのクロック抽出を行う。

オーバヘッド挿入回路 4 2 は、信号フレームに所定のオーバヘッド (O H) を挿入する。また、低速フレームの同期を確立するために必要となる所定の同期パターンをチャネル毎に信号フレームに挿入する。更に、オーバヘッド挿入回路 4 2 は信号フレームの送出を開始するタイミングをチャネル毎にフレームパルス (F P (1) ~ F P (1 6)) に同期して決定する。

【 0 0 8 6 】

実際には、オーバヘッド挿入回路 4 2 はそれに内蔵された速度変換メモリに対するデータの書き込み及び読み出しによってタイミングを制御することができるので、フレームパルス (F P (1) ~ F P (1 6)) に同期して速度変換メモリからの

データの読み出しを開始し、信号フレームの位相をチャンネル毎に制御する。

FEC符号化回路43は、オーバーヘッド挿入回路42から出力される信号に対してFECの符号化処理を行う。各チャンネルのFEC符号化回路43から主つよくされる信号S(1), S(2), S(3), ...の具体例を図13に示す。

【0087】

図13の例では、各信号フレーム(FECサブフレーム)は1バイトのダミーバイトと、3バイトのオーバーヘッドと、256バイトのSTM-16データと、16バイトの冗長コードとで構成されている。また、この例ではチャンネル毎に24nsの時間差(位相差)が生じるように送出する信号のタイミングが制御されている。

【0088】

また、この例では各フレーム周期にフレームパルスFP(1)~FP(16)が現れる期間(T1)は379nsであり、残りの379nsの期間(T2)にはフレームパルスFP(1)~FP(16)は現れない。

一方、受信装置200の終端回路60及び終端回路80は図14に示すように構成されている。すなわち、各チャンネルの終端回路60にはフレーム同期回路65及びFEC復号化回路66が備わっている。また、各チャンネルの終端回路80にはオーバーヘッド終端回路85及び電気-光変換器86が備わっている。

【0089】

フレーム同期回路65は、各チャンネルの低速フレーム信号に含まれる同期パターン(送端回路10のオーバーヘッド挿入回路42が挿入したパターン)を検出し、チャンネル毎にフレーム同期を確立する。また、フレーム同期回路65はチャンネル毎に低速フレーム信号の先頭位置のタイミングを表すフレームパルスFS(1)~FS(16)を出力する。

【0090】

終端回路80のオーバーヘッド終端回路85は、チャンネル毎にスイッチ回路70から入力される低速フレーム信号についてオーバーヘッドの終端処理を行う。電気-光変換器86は、オーバーヘッド終端回路85が出力する電気信号を光信号に変換する。

送信装置 1 0 0 の送端回路 1 0 及び受信装置 2 0 0 の終端回路 6 0, 8 0 以外の構成及び動作は第 1 の実施の形態と同一である。

【 0 0 9 1 】

なお、第 1 の実施の形態のように S T M フレームを扱う S D H 装置の場合にはチャンネル毎にフレーム信号の位相を変更すると、それに伴ってフレーム内のオーバヘッドのポインタ値やその他の情報 (B 1, B 2) を書き換える必要がある。しかし、G. 9 7 5 フレームを扱う F E C 装置の場合にはポインタなどを変更する必要がなく、トランスペアレンシの点で有利である。

【 0 0 9 2 】

(第 3 の実施の形態)

本発明の多重伝送制御用ソフトウェアを記録した記憶媒体の 1 つの実施の形態について、図 1 5 及び図 1 6 を参照して説明する。この形態は請求項 9 に対応する。

図 1 5 はコンピュータを用いて制御する場合のハードウェアの構成例を示すブロック図である。図 1 6 はスイッチ回路を制御するコンピュータの動作を示すフローチャートである。

【 0 0 9 3 】

第 1 の実施の形態及び第 2 の実施の形態においては、受信装置 2 0 0 の多重分離回路 5 0 が分離した複数の信号を送信側の各チャンネルの番号と整合させるための制御をハードウェアのスイッチ制御回路 9 0 を用いて行っている。この形態ではスイッチ制御回路 9 0 の機能をコンピュータのソフトウェアで実現している。スイッチ制御回路 9 0 以外の構成及び動作については第 1 の実施の形態と同一である。変更された部分のみについて以下に説明する。

【 0 0 9 4 】

この形態では、スイッチ制御回路 9 0 の代わりに図 1 5 に示すハードウェアを用いている。図 1 5 を参照すると、パーソナルコンピュータ 3 0 1, P C 用インタフェース 3 0 2, メモリ 3 0 3, バッファ 3 0 4 及びスイッチ制御インタフェース 3 0 5 が備わっている。

図 1 の各チャンネルの終端回路 6 0 が出力するフレームパルス F S (1) ~ F S (1 6

)の各タイミングの状態は、バッファ304を介してメモリ303に記憶される。例えば、図10に示す各排他的論理和回路92の出力信号の各時点の状態を示す情報「0100」,「1000」,「0001」,「0010」と同様の情報がチャンネル毎にメモリ303内に記憶される。

【0095】

パーソナルコンピュータ301は、PC用インタフェース302を介してメモリ303の情報にアクセスすることができる。また、パーソナルコンピュータ301はPC用インタフェース302及びスイッチ制御インタフェース305を介して、スイッチ回路70の各スイッチ71をオン/オフ制御することができる。

パーソナルコンピュータ301は、スイッチ回路70を制御するために図16に示す動作を実行する。この動作手順はプログラムとして所定の記録媒体に記録されており、パーソナルコンピュータ301で記録媒体の内容を読み込んで実行することができる。

【0096】

図16に示す動作について説明する。最初のステップS11では、メモリ303上に記憶されたデータの内容を監視して、全てのフレームパルス(FS(1)～FS(16))を検出したか否かを識別する。

全てのフレームパルスを検出した場合には、ステップS12で変数*i*をクリアし、次のステップS13で変数*i*に1を加算する。

【0097】

続くステップS14では、メモリ303上のデータ(各チャンネルのフレームパルスの位置)を順番に読み出す。そして、ステップS15では*i*番目にフレームパルスを検出したポート(入力側のチャンネル)の信号を*i*番目のチャンネルに接続するように、スイッチ回路70に対して制御信号を出力する。

ステップS13～S16の処理を繰り返すことにより、16チャンネルの全てについて、スイッチ回路70が出力する信号のチャンネル番号の位置が送信側と整合するようにチャンネルを割り当てることができる。

【0098】

なお、G. 975フレームやSTMフレーム以外の信号フォーマットの場合に

も、上記と同様に本発明を適用することが可能である。また、フレームパルス発生回路 3 0，スイッチ回路 7 0，スイッチ制御回路 9 0 などの構成や動作についても必要に応じて変更することができる。

【 0 0 9 9 】

なお、受信側でのチャンネルの識別を可能にするために、送信側のフレームパルスについては、1 フレーム周期の時間以内 ($16 \mu s$ あるいは $125 \mu s$) に全てのチャンネルのフレームパルスの送出が終了する必要がある。

【 0 1 0 0 】

【発明の効果】

本発明では、以下の効果が期待できる。

【 0 1 0 1 】

(1) クライアントにトランスペアレントな時分割多重機能を提供するので、サブネットワーク接続を低コストで実現できる。

(2) 高速側ではパタン認識は行わないので、装置構成上低コストとなる。

(3) 多重回路及び分離回路がいくつかのサブモジュールに分かれていても、あるいは光回路であっても実現可能であるので、将来の超大容量化・超高速化が期待できる。

【 0 1 0 2 】

(4) 各サブモジュールがばらばらの分離タイミングで動作することを許容するので、装置構成上低コストとなる。

(5) 波長多重と組み合わせて使用すると、T b i t / s 級の超大容量伝送が可能となる。

(6) 高速側にスクランブル／デスクランブル回路が不要になるので低コストで超高速伝送装置を構成できる。

【図面の簡単な説明】

【図 1】

実施の形態の送信装置及び受信装置の構成を示すブロック図である。

【図 2】

各チャンネルの送端回路の構成例 (1) を示すブロック図である。

【図 3】

送端回路の入出力の低速フレーム信号の位相を示すタイムチャートである。

【図 4】

フレームパルス発生回路の構成例を示すブロック図である。

【図 5】

各チャンネルのフレームパルスの例を示すタイムチャートである。

【図 6】

時分割多重回路の構成例を示すブロック図である。

【図 7】

多重分離回路の構成例を示すブロック図である。

【図 8】

各チャンネルの終端回路の構成例（１）を示すブロック図である。

【図 9】

スイッチ制御回路の構成例を示すブロック図である。

【図 10】

スイッチ制御回路の動作例を示す模式図である。

【図 11】

スイッチ回路の構成例を示すブロック図である。

【図 12】

各チャンネルの送端回路の構成例（２）を示すブロック図である。

【図 13】

送端回路の出力の低速フレーム信号の位相を示すタイムチャートである。

【図 14】

各チャンネルの送端回路の構成例（２）を示すブロック図である。

【図 15】

コンピュータを用いて制御する場合のハードウェアの構成例を示すブロック図である。

【図 16】

スイッチ回路を制御するコンピュータの動作を示すフローチャートである。

【符号の説明】

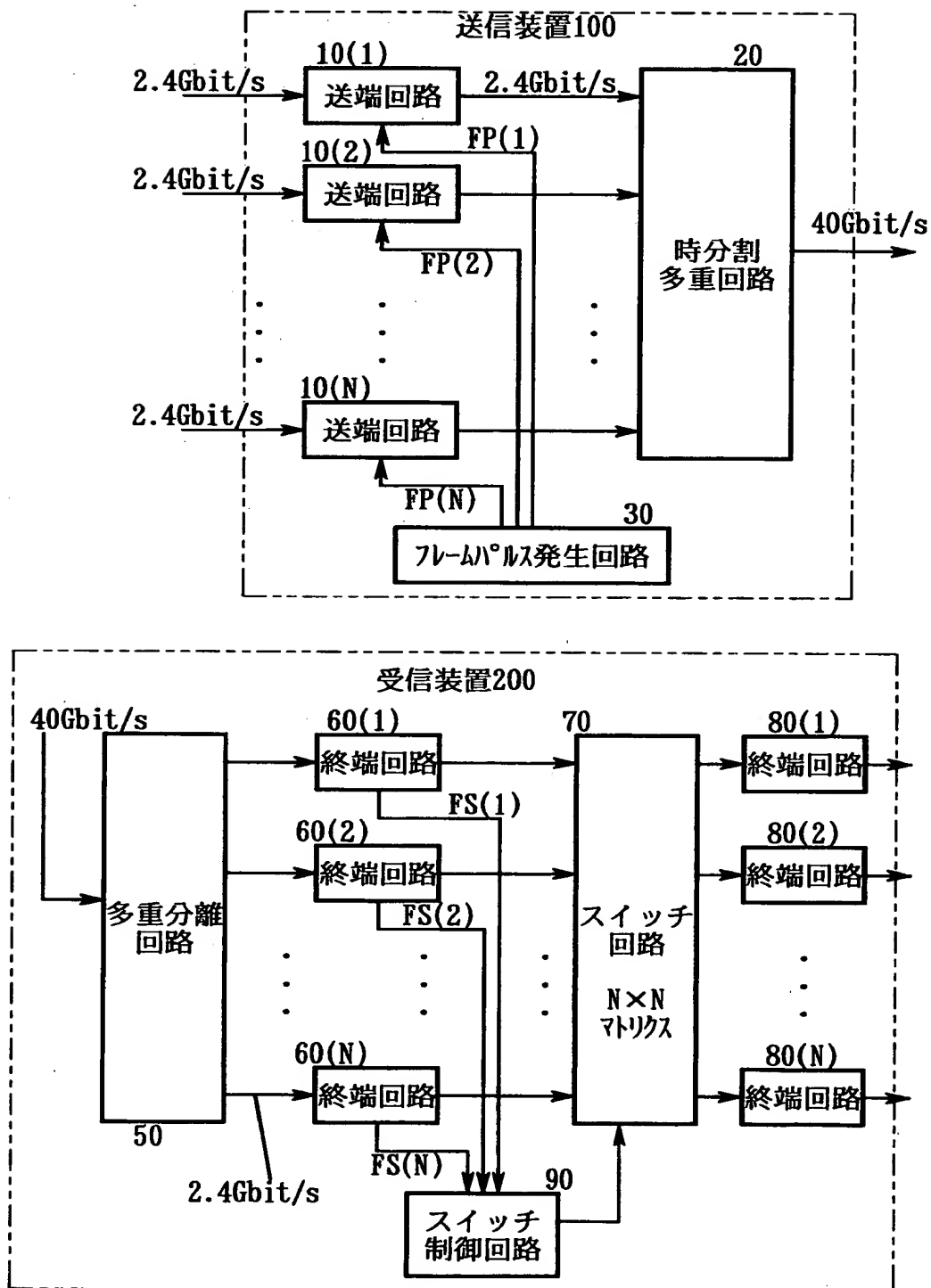
- 1 0 送端回路
- 1 1 S D H物理インタフェース
- 1 2, 1 6 中継セクション終端回路
- 1 3, 1 5 多重セクション終端回路
- 1 4 セクション適応回路
- 2 0 時分割多重回路
- 2 1, 2 2, 2 3 多重回路
- 2 4, 2 5, 2 6 通倍回路
- 3 0 フレームパルス発生回路
- 3 1 直流電圧発生器
- 3 2 クロック発生源
- 3 3 制御クロック発生器
- 3 4 セレクタ
- 4 1 光－電気変換器
- 4 2 オーバヘッド挿入回路
- 4 3 F E C符号化回路
- 5 0 多重分離回路
- 5 1, 5 2, 5 3 分離回路
- 6 0 終端回路
- 6 1, 8 2 中継セクション終端回路
- 6 2, 8 1 多重セクション終端回路
- 6 5 フレーム同期回路
- 6 6 F E C復号化回路
- 7 0 スイッチ回路
- 7 1 スイッチ
- 8 0 終端回路
- 8 3 S D H物理インタフェース
- 8 5 オーバヘッド終端回路

- 8 6 電気-光変換器
- 9 0 スイッチ制御回路
- 9 1 シフトレジスタ
- 9 2 排他的論理和回路
- 9 3 デマルチプレクサ
- 9 4 リセットパルス発生回路
- 9 5, 9 6 ラッチ
- 1 0 0 送信装置
- 2 0 0 受信装置
- 3 0 1 パーソナルコンピュータ
- 3 0 2 PC用インタフェース
- 3 0 3 メモリ
- 3 0 4 バッファ
- 3 0 5 スイッチ制御インタフェース

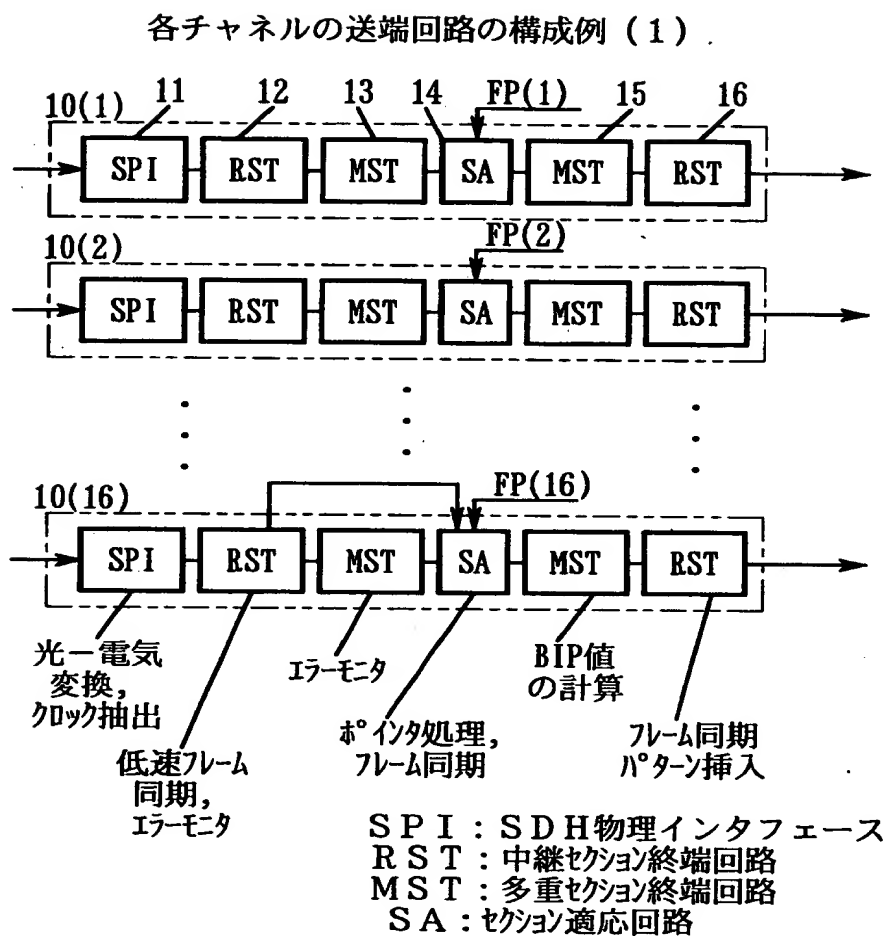
【書類名】 図面

【図 1】

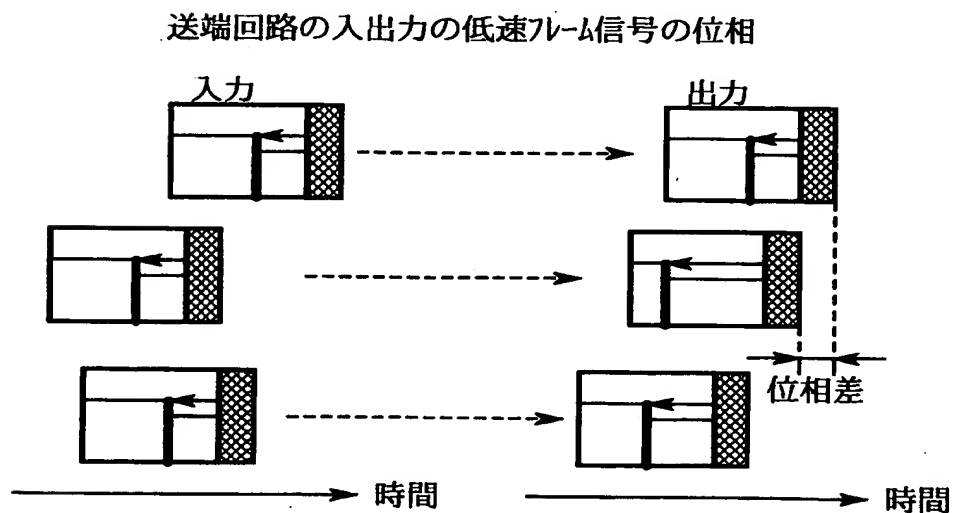
実施の形態の送信装置及び受信装置の構成



【図 2】

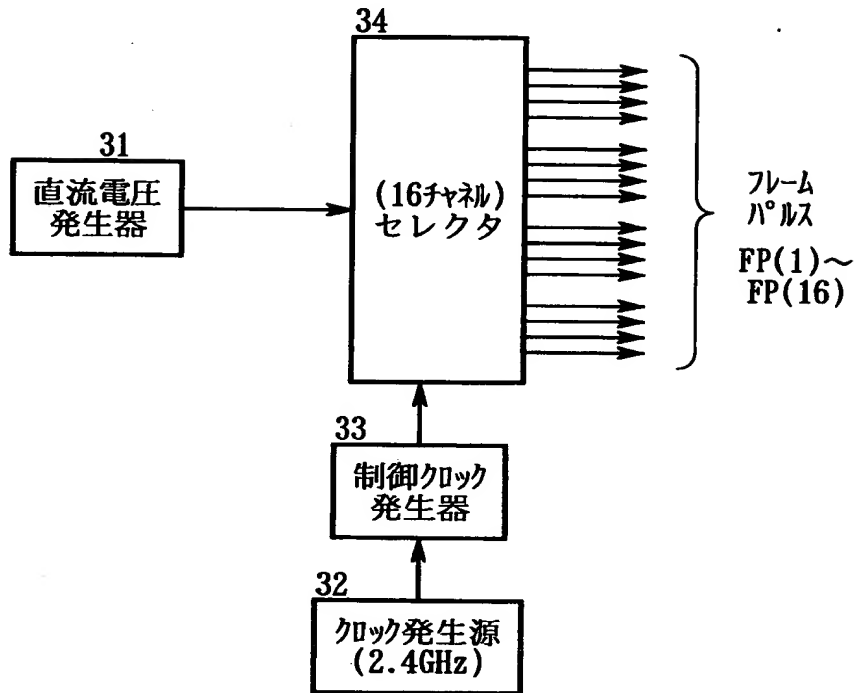


【図 3】



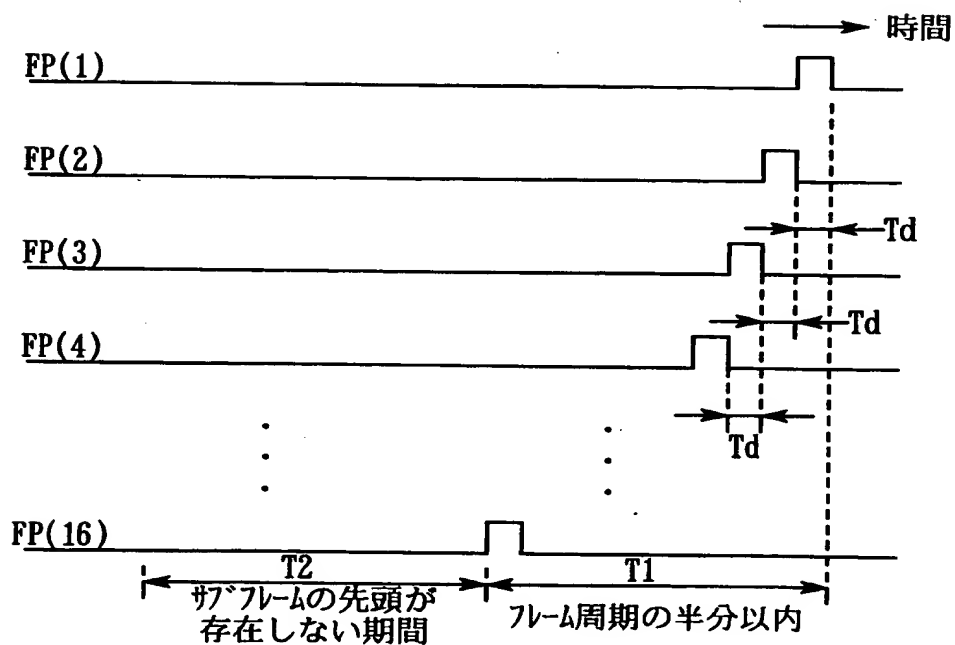
【図 4】

フレームパルス発生回路の構成例



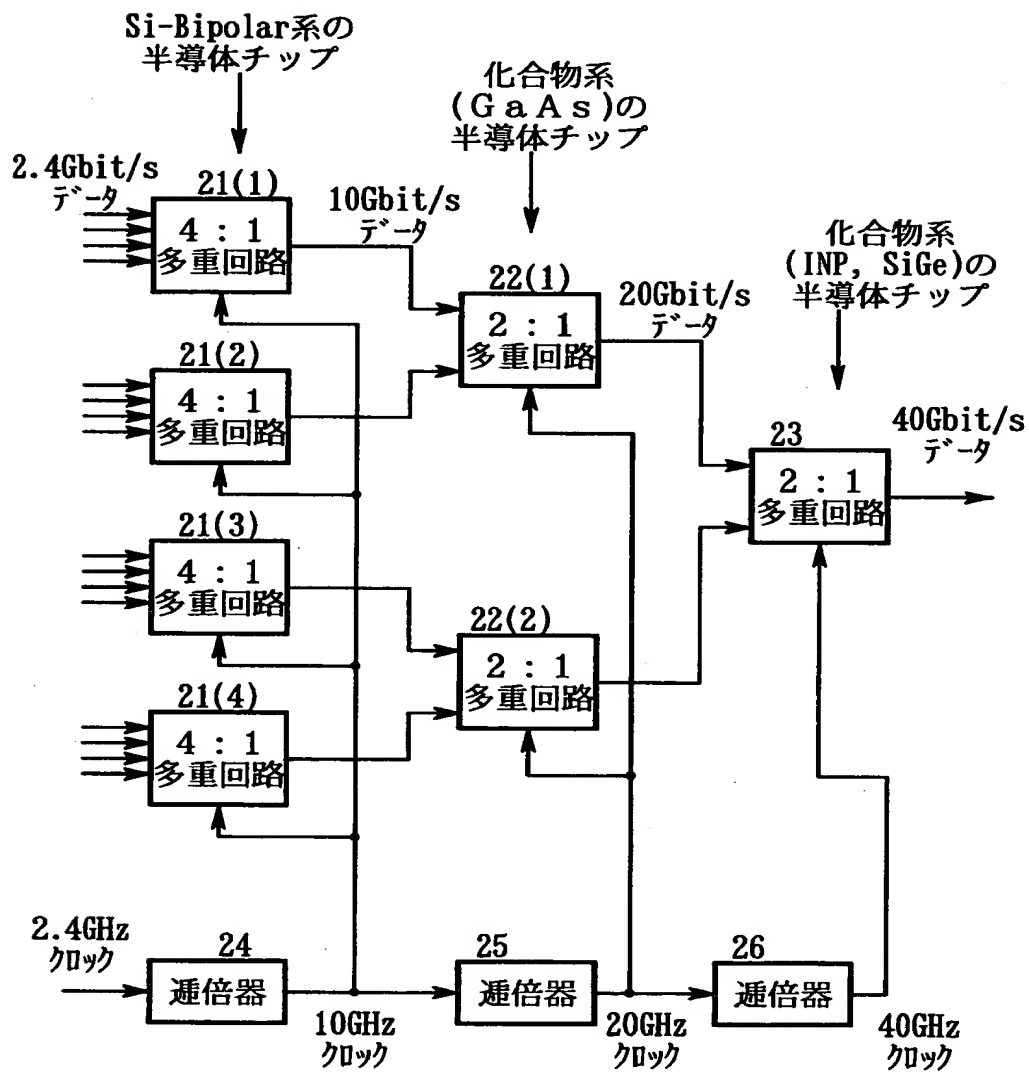
【図 5】

各チャネルのフレームパルスの例



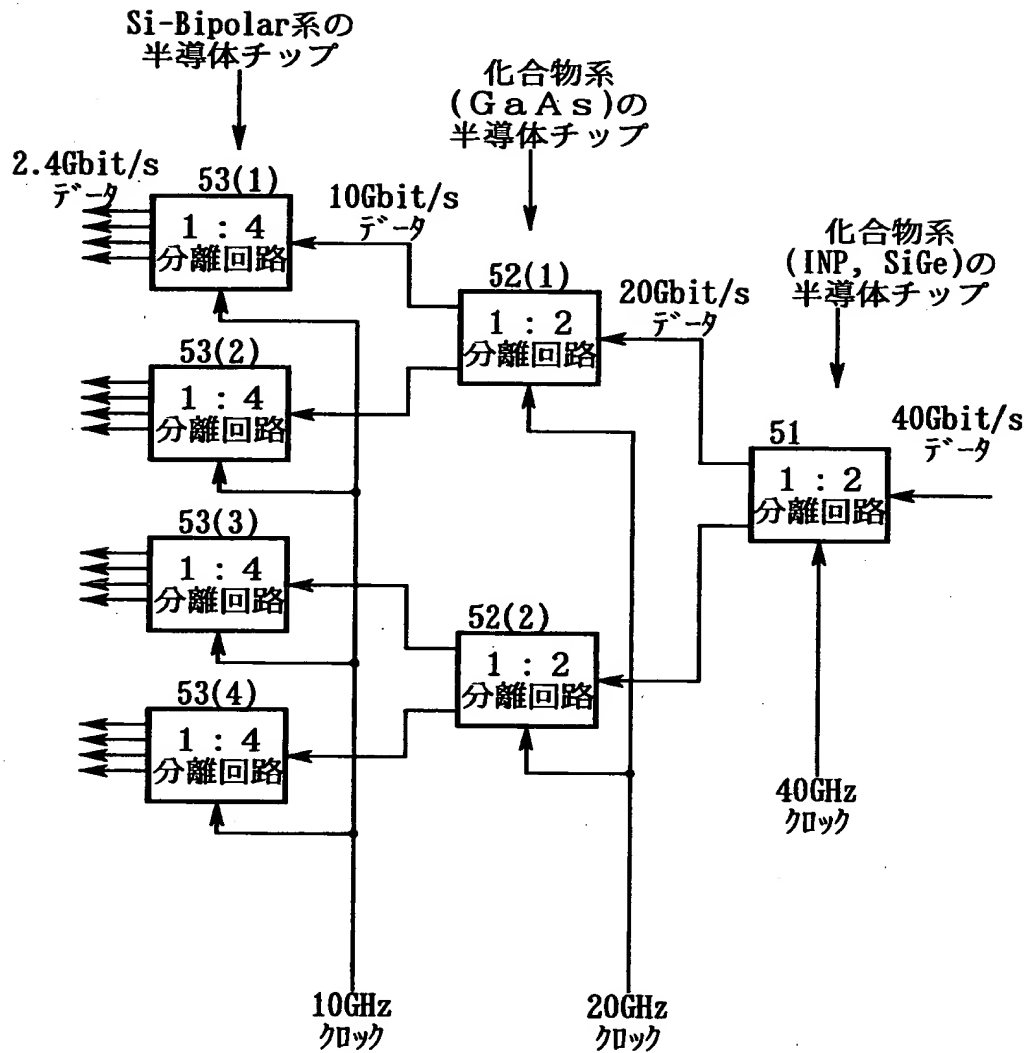
【図 6】

時分割多重回路の構成例



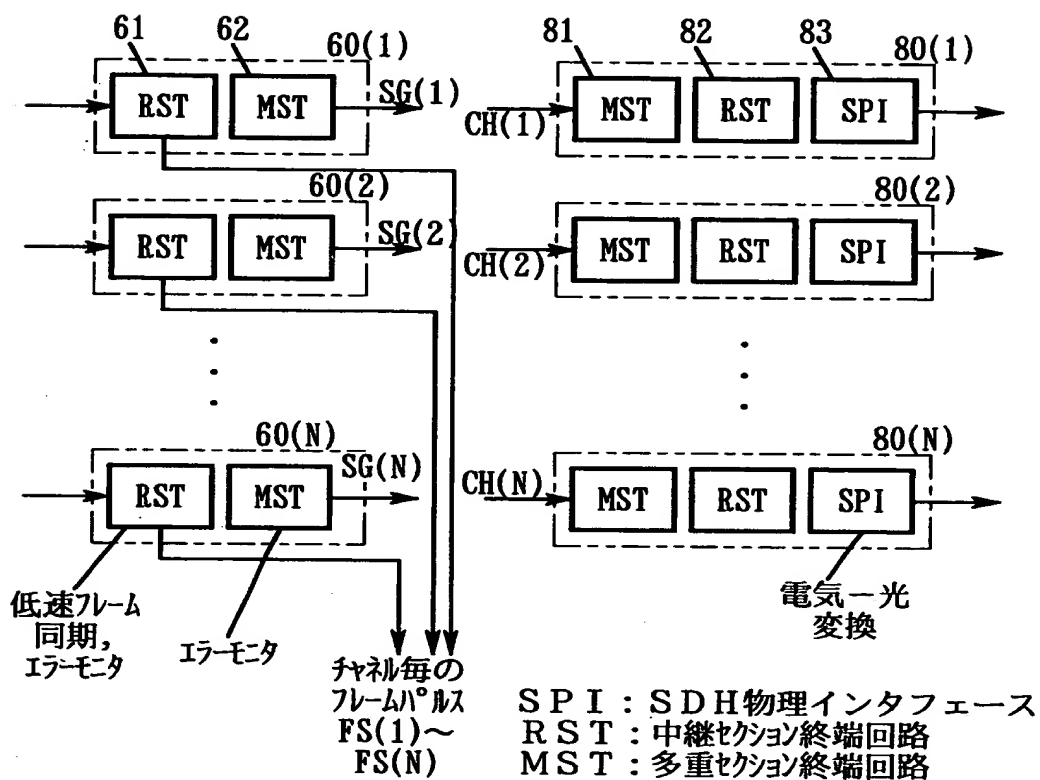
【図 7】

多重分離回路の構成例



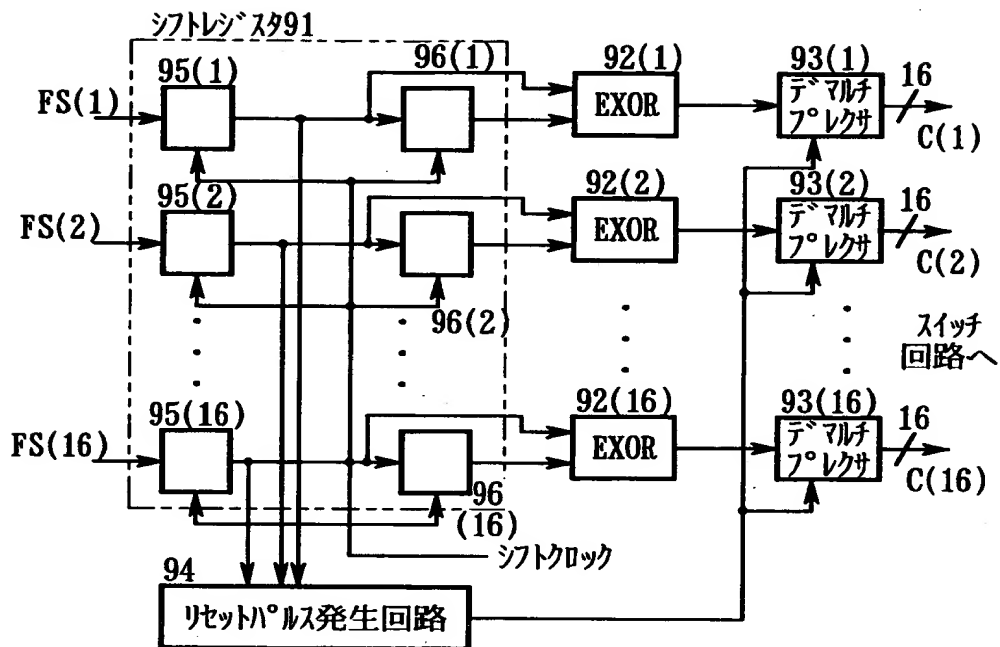
【図 8】

各チャネルの終端回路の構成例（１）

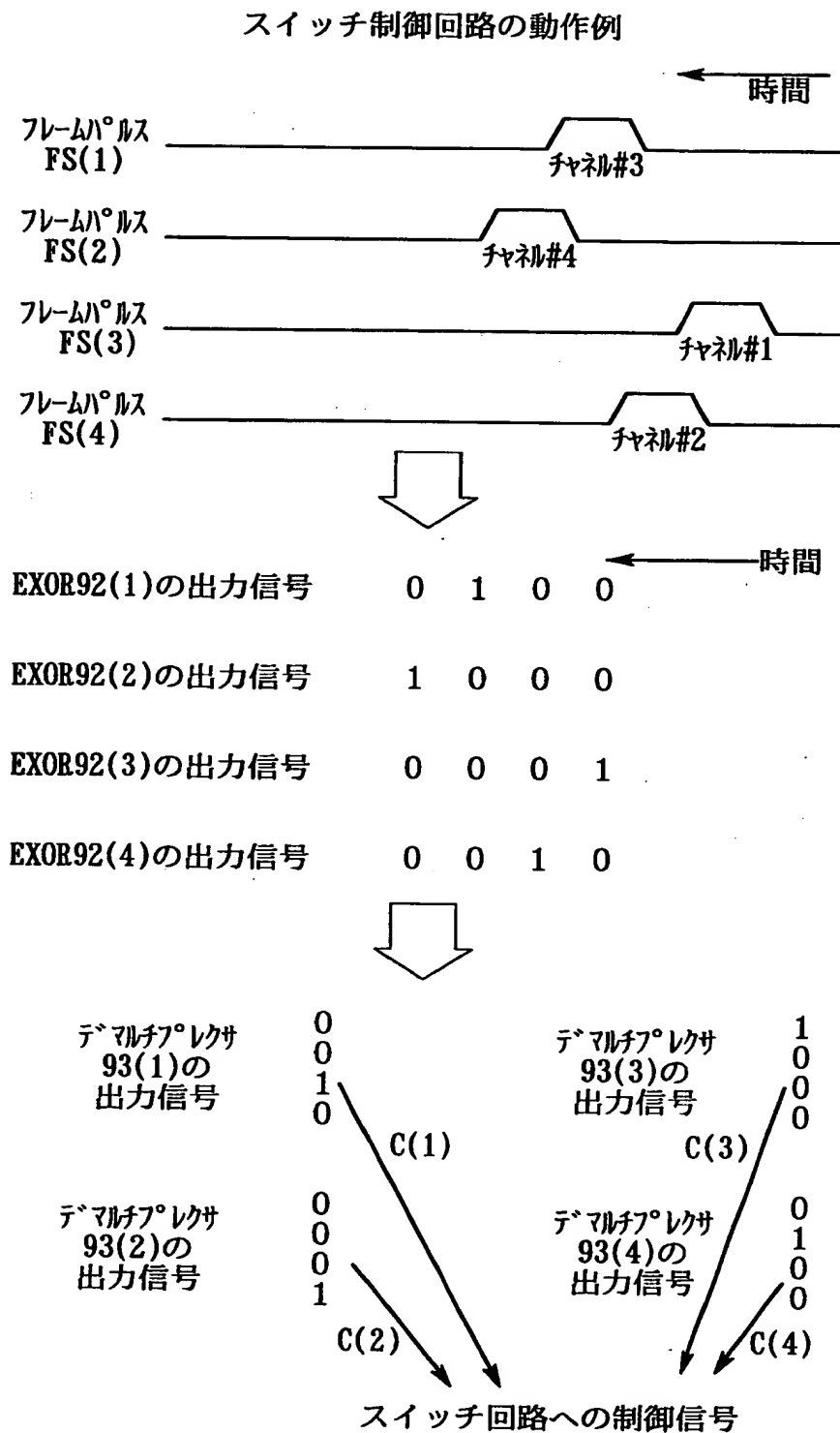


【図 9】

スイッチ制御回路の構成例

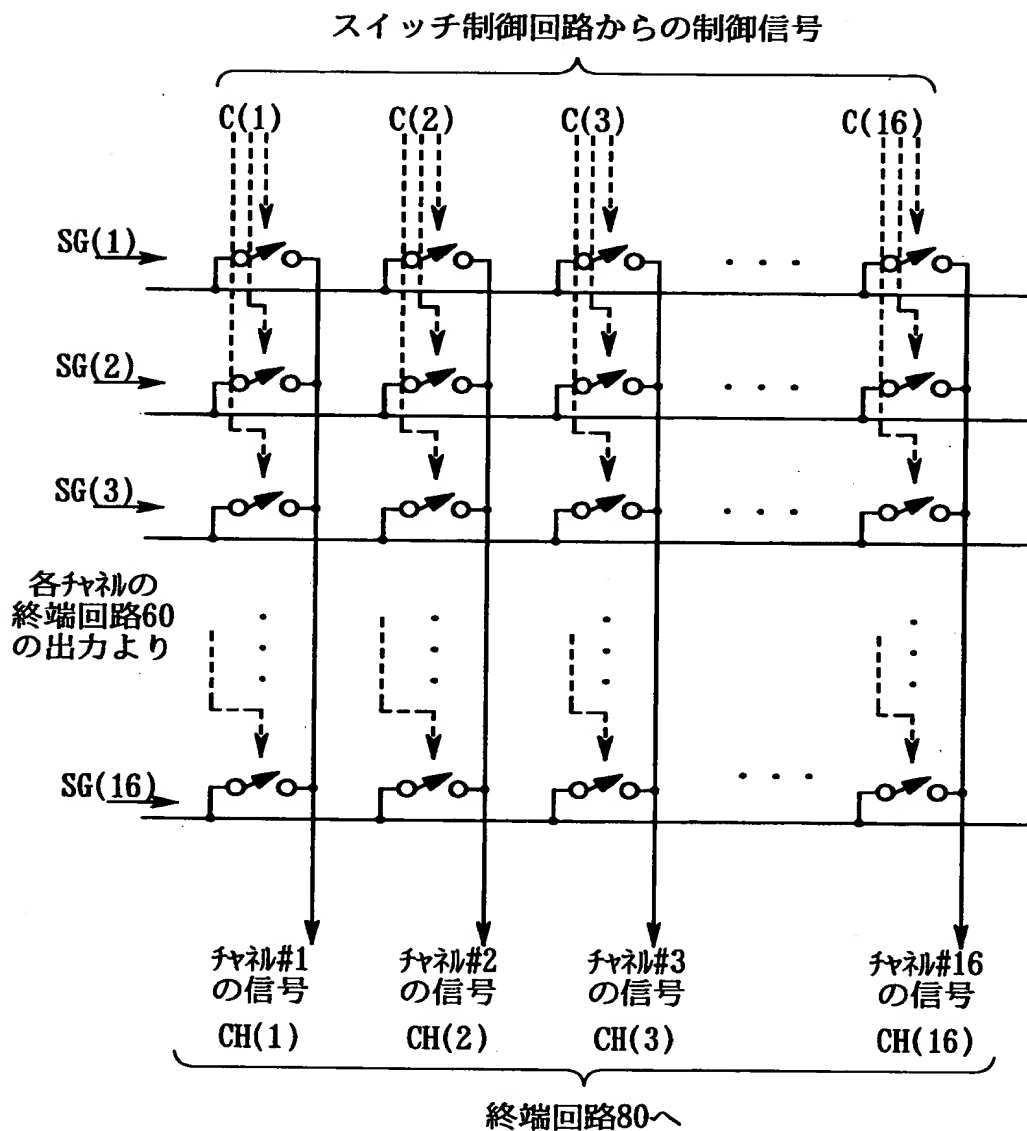


【図 1 0】



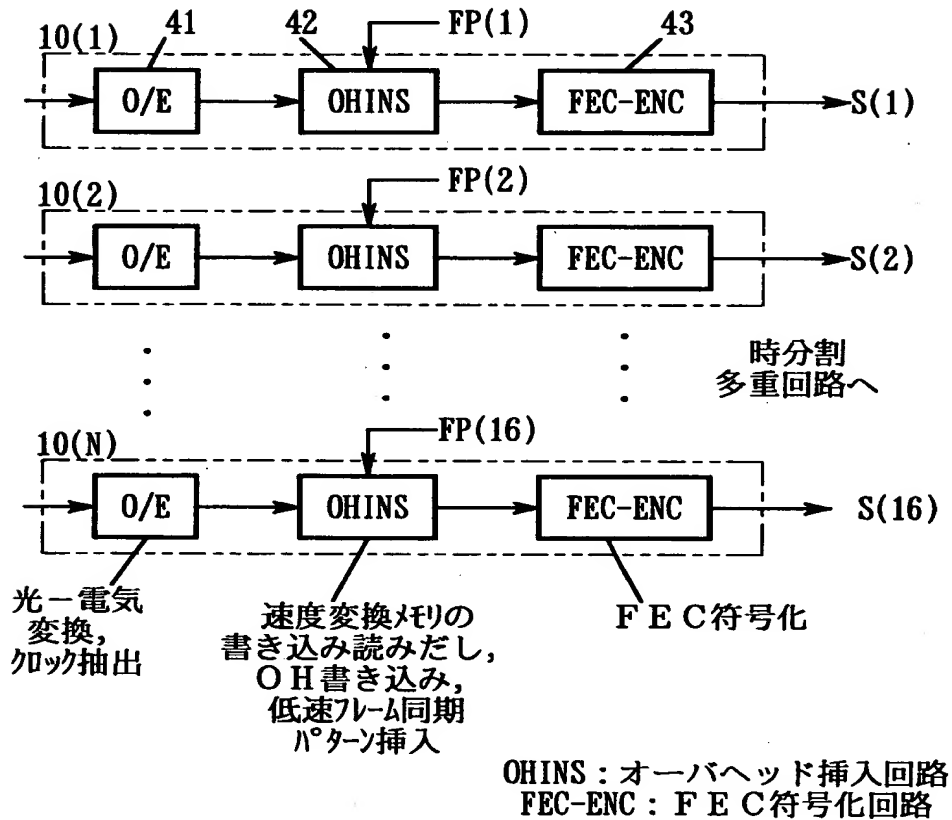
【図 1 1】

スイッチ回路の構成例



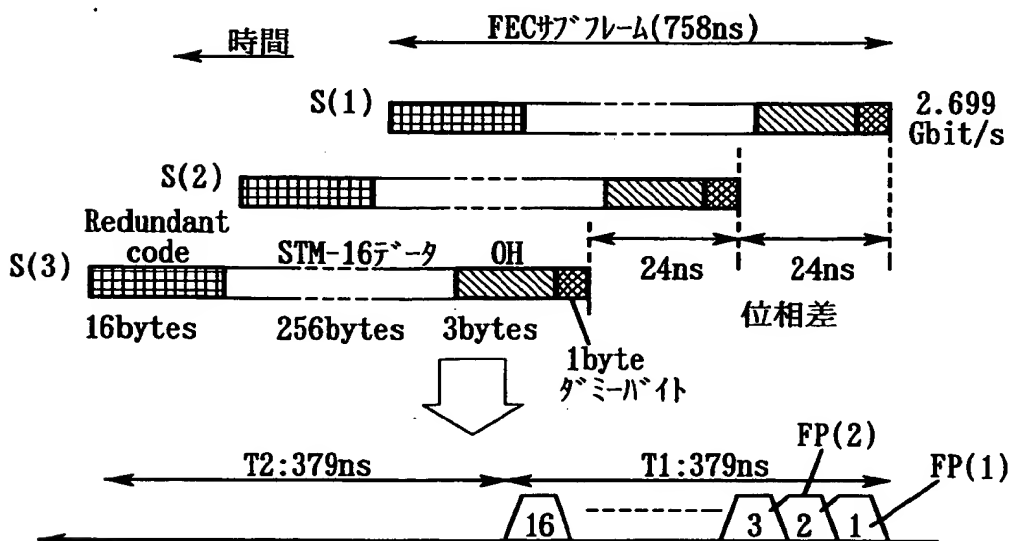
【図 1 2】

各チャネルの送端回路の構成例 (2)



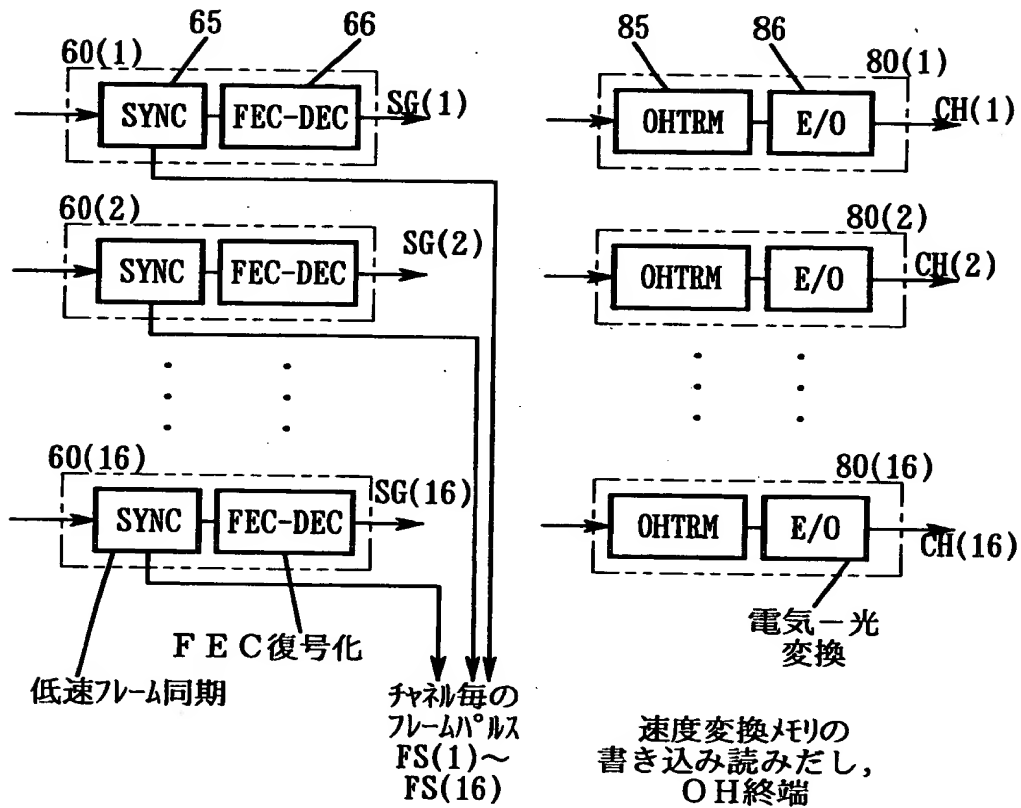
【図 1 3】

送端回路の出力の低速フレーム信号の位相



【図 1 4】

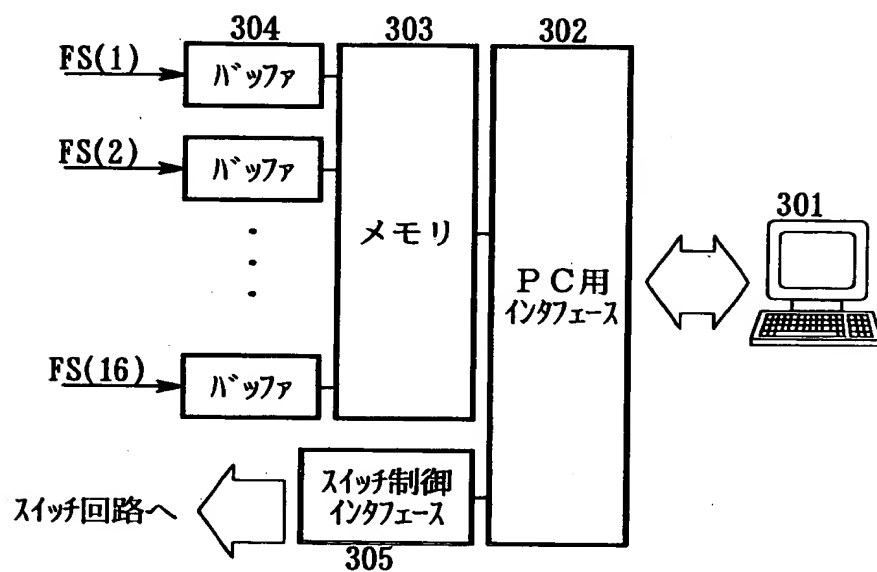
各チャネルの終端回路の構成例（2）



SYNC : フレーム同期回路
 FEC-DEC : F E C復号化回路
 OHTRM : オーバヘッド終端回路

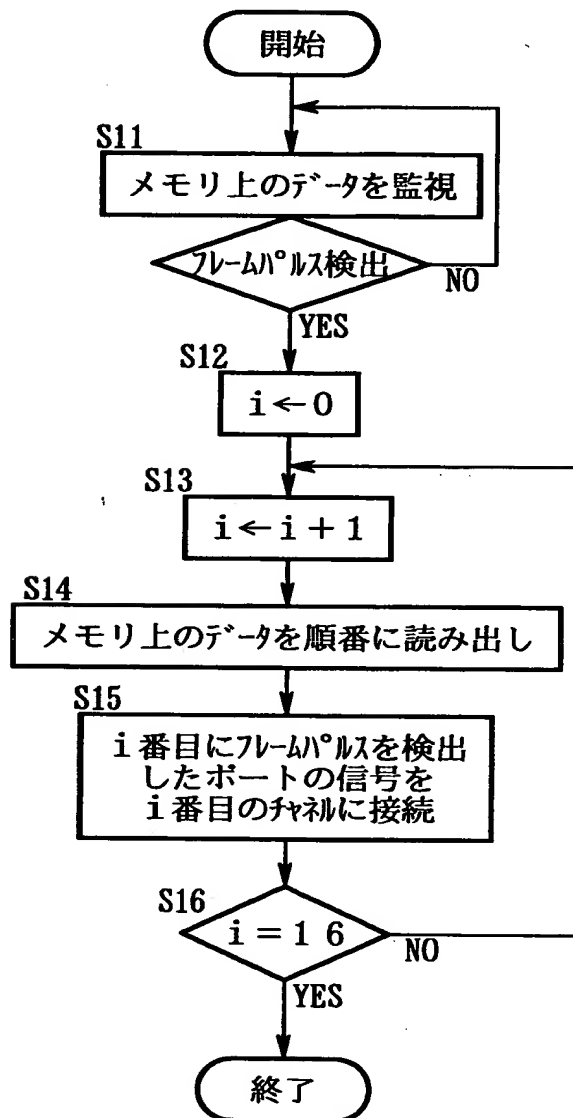
【図 1 5】

コンピュータを用いて制御する場合のハードウェアの構成例



【図 1 6】

スイッチ回路を制御するコンピュータの動作



【書類名】 要約書

【要約】

【課題】 超高速信号伝送に適する多重伝送装置及び多重伝送制御用ソフトウェアを記録した記憶媒体を提供するとともに超高速伝送に要求されるチャネル識別機能を低コストで実現することを目的とする。

【解決手段】 送信装置には送信側同期信号を生成する制御パルス発生回路 3 0 とチャネル毎に位相がずれるように低速フレーム信号を出力するタイミングを制御する送信側同期回路 1 0 とチャネル毎の信号を時分割多重処理して高速フレーム信号を生成する多重回路 2 0 とを設け、受信装置には高速フレーム信号を分離して複数チャネルの低速フレームの信号を生成する分離回路 5 0 と分離された低速フレーム信号を処理してチャネル毎に低速フレームに同期した受信側同期信号を生成する低速フレーム同期回路 6 0 と分離された複数チャネルの低速フレーム信号出力を予め定めた複数チャネルの各端子に接続するスイッチ 7 0 と複数の受信側同期信号に基づいてスイッチを制御するスイッチ制御回路 9 0 とを設けた。

【選択図】 図 1

出 願 人 履 歴 情 報

識別番号 [000004226]

1. 変更年月日 1999年 7月15日

[変更理由] 住所変更

住 所 東京都千代田区大手町二丁目3番1号

氏 名 日本電信電話株式会社